

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-286187

(43)Date of publication of application : 13.10.2005

(51)Int.Cl.

H01L 25/07

H01L 23/34

H01L 25/18

(21)Application number : 2004-099801

(71)Applicant : DENSO CORP

(22)Date of filing : 30.03.2004

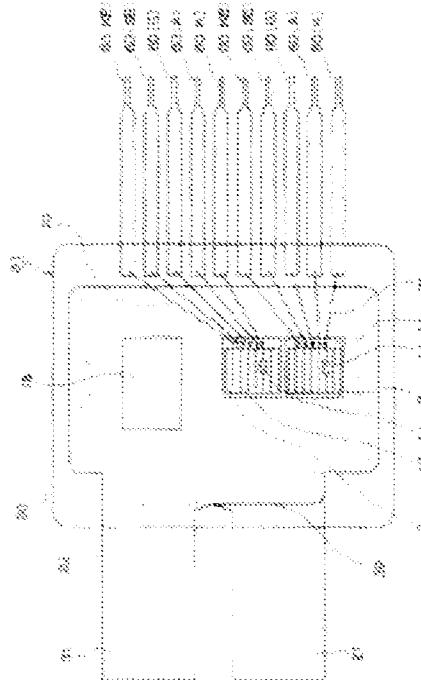
(72)Inventor : HIRANO NAOHIKO
SAKAKIBARA RIKA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device wherein an IGBT (Insulated Gate Bipolar Transistor) element is disposed between a pair of heatsinks at its both sides and the nearly entire structure is molded with molding resin, and which can realize an inexpensive arrangement.

SOLUTION: A semiconductor device S1 comprises an IGBT element 10, a lower side heatsink 20 provided on one surface of the IGBT element 10 and functioning as an electrode and also as a heat radiator, an upper side heatsink 30 provided on the other surface of the IGBT element 10 and functioning as an electrode and also as a heat radiator, and a mold resin 80 for sealing the IGBT element 10 and the both heatsinks 20, 30 so as to envelop them. Two of such IGBT elements 10 are provided next to each other.



JP 2005-286187 A 2005.10.13

(19)日本特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2005-286187

(P2005-286187)

(43)公開日 平成17年10月13日(2005.10.13)

(51)Int.Cl.⁷H01L 25/07
H01L 23/34
H01L 25/18

F1

H01L 25/04
H01L 23/34C
D

テーマコード(参考)

5F036

検索請求 未請求 請求項の数 7 O.L (全 14 頁)

(21)出願番号
(22)出願日特願2004-99801 (P2004-99801)
平成16年3月30日 (2004.3.30)

(71)出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74)代理人 100100022
弁理士 伊藤 淳二
(74)代理人 100108198
弁理士 三浦 西広
(74)代理人 100111578
弁理士 水野 史郎
(72)発明者 平野 崑彦
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
(72)発明者 鈴原 里曾
愛知県名古屋市中村区名駅4丁目11番2
7号 デンソーテクノ株式会社内
Fターム(参考) 5F036 AA01 BB01 CC01

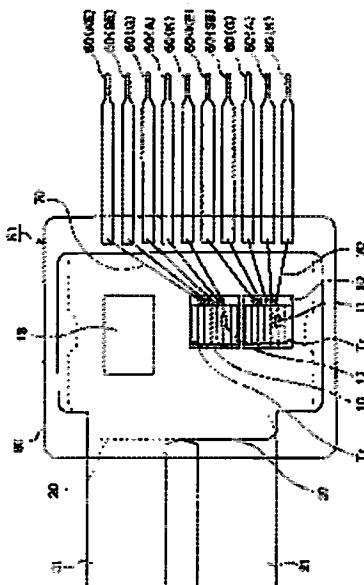
(54)【説明の名称】半導体装置

(57)【要約】

【課題】 IGBT素子の両側を一对のヒートシンクで挟んでなり、装置のほぼ全体がモールド樹脂でモールドされてなる半導体装置において、より安価な構成を実現する。

【解決手段】 IGBT素子10と、IGBT素子10の一側面に設けられ電極と放熱体とを兼ねる下側ヒートシンク20と、IGBT素子10の他側面に設けられ電極と放熱体とを兼ねる上側ヒートシンク30と、IGBT素子10および両ヒートシンク20、30を包み込むように封止するモールド樹脂80とを備える半導体装置S1において、IGBT素子10は2個隣り合うように設けられている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体素子（10）と、

前記半導体素子（10）の一面側に設けられ、電極と放熱体とを兼ねる第1の金属体（20）と、

前記半導体素子（10）の他面側に設けられ、電極と放熱体とを兼ねる第2の金属体（30）と、

前記半導体素子（10）、前記第1の金属体（20）および前記第2の金属体（30）を包み込むように封止するモールド樹脂（80）とを備える半導体装置において、

前記半導体素子としてゲート酸化膜デバイス（10）が用いられており、10

前記ゲート酸化膜デバイス（10）は、2個以上設けられていることを特徴とする半導体装置。

【請求項 2】

前記ゲート酸化膜デバイスは、IGBT素子（10）であることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記IGBT素子（10）は2個であり、これら2個のIGBT素子（10）は隣り合って配置されていることを特徴とする請求項2に記載の半導体装置。

【請求項 4】

前記2個のIGBT素子（10）は、それぞれ素子の温度検出を行うための温度センス用パッド（10d、10e）を有しており、20

前記2個のIGBT素子（10）のうちのどちらか一方のみの前記温度センス用パッド（10d、10e）が、外部と電気的に接続される端子（60）に電気的に接続されていることを特徴とする請求項3に記載の半導体装置。

【請求項 5】

前記2個のIGBT素子（10）は、それぞれ素子の温度検出を行うための温度センス用パッド（10d、10e）および素子の電流検出を行うための電流センス用パッド（10b）を有しており、

前記2個のIGBT素子（10）のうちのどちらか一方のみの前記温度センス用パッド（10d、10e）、および前記2個のIGBT素子（10）のうちのどちらか一方のみの前記電流センス用パッド（10b）が、それぞれ、外部と電気的に接続される端子（60）に電気的に接続されていることを特徴とする請求項3に記載の半導体装置。30

【請求項 6】

前記端子（60）に電気的に接続される前記温度センス用パッド（10d、10e）は、前記2個のIGBT素子（10）の一方のものであり、前記端子（60）に電気的に接続される前記電流センス用パッド（10b）は、前記2個のIGBT素子（10）の他方のものであることを特徴とする請求項5に記載の半導体装置。

【請求項 7】

前記2個のIGBT素子（10）のそれぞれに備えられているゲートセンス用パッド（10c）およびケルビンセンス用パッド（10a）は、それぞれ外部と電気的に接続するための端子（60）に、独立に電気的に接続されていることを特徴とする請求項1ないし6のいずれか1つに記載の半導体装置。40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の両側を一对の金属体で挟んでなり、装置のほぼ全体が樹脂でモールドされてなる半導体装置に関する。

【背景技術】

【0002】

従来より、この種の半導体装置としては、半導体素子と、半導体素子の一面側に設けら50

れ電極と放熱体とを兼ねる第1の金属体と、半導体素子の他面側に設けられ電極と放熱体とを兼ねる第2の金属体と、半導体素子、第1の金属体および第2の金属体を包み込むように対止するモールド樹脂とを備えた半導体装置が提案されている（たとえば、特許文献1参照）。

【0003】

このような半導体装置において、半導体素子としては、たとえば、IGBT（絶縁ゲート型バイポーラトランジスタ）やMOSFET素子などのゲート酸化膜デバイス、あるいはFWD（フリーホイールダイオード）などの縦型パワー素子が採用される。

【0004】

図6は、この種の半導体装置の一般的な概略構成を示す図であって（a）は各部の平面的な配置を示す図、（b）は、（a）に示される半導体装置の概略断面構成を示す図である。

【0005】

図6において、半導体素子としてのゲート酸化膜デバイス10は、IGBT素子10であり、また、もう一つの半導体素子18はFWDである。そして、これら半導体素子10、18のうち、図6において現れている面が素子形成面である主表面、これと反対側の面が裏面である。

【0006】

ここで、IGBT素子10の主表面には、温度センスダイオード11が設けられている。この温度センスダイオード11は、一般的に設けられているもので、半導体製造技術を用いて形成されたポリシリコン等からなるダイオード素子である。

【0007】

この温度センスダイオード11は温度によって電圧が変化するので、IGBT素子10の温度を検出するのに用いられている。

【0008】

これら半導体素子10、18の裏面側には、電極と放熱体とを兼ねる第1の金属体20が、はんだなどの導電性接合部材を介して電気的・熱的に接合されている。また、半導体素子10、18の裏面側には、電極と放熱体とを兼ねる第2の金属体30が、はんだなどの導電性接合部材を介して電気的・熱的に接合されている。

【0009】

また、ゲート酸化膜デバイスであるIGBT素子10の周囲には、各種の信号端子60が設けられており、IGBT素子10の主表面と信号端子60とは、ポンティングワイヤ70を介して電気的に接続されている。そして、装置のほぼ全体が樹脂80によりモールドされ封止されている。

【0010】

ここにおいて、図6中の5本の信号端子60のうち、下側から1番目と2番目の2本が温度センスダイオード11用の端子すなわち温度センス用端子A、Kである。これら温度センス用端子A、Kは、アノード用端子Aとカソード用端子Kであり、それぞれ、IGBT素子10に設けられた素子の温度検出を行うための温度センス用パッドに接続されている。

30

【0011】

また、図6中の5本の信号端子60のうち、下側から3番目の端子は、IGBT素子10の信号電極用パッドであるゲートセンス用パッドと接続されるゲートセンス用端子Gである。

【0012】

また、図6中の5本の信号端子60のうち、下側から4番目の端子は、IGBT素子10に流れる電流を検出するための電流センス用パッドと接続される電流センス用端子SEであり、一番上側の端子は、IGBT素子10の基準電位用パッドであるケルビンセンス用パッドと接続される基準端子としてのケルビンセンス用端子KEである。

【0013】

40

50

ここで、図6に示されるように、IGBT素子10は、その主表面に複数個のセルブロックTrが配列されたものであり、個々のセルブロックTrは、たとえば複数個のトランジスタ等の素子の集合体として構成されている。

【0014】

そして、多数のトランジスタセルのうちの1個のセルTrが、電流センス用セルとして用いられ、電流センス用端子SEから出力される電流の異常を検出するようになっている。電流の異常が検出された場合には、ゲート電流を止めてIGBT素子10の作動を停止するようになっている。

【特許文献1】特開2003-110064号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0015】

ところで、上記した従来の半導体装置においては、両金属体20、30に挟まれた半導体素子としてのゲート酸化膜デバイス10は、比較的大型（たとえば13mm□程度）のものであり、コストが高く、半導体装置につき1個しか設けられていなかった。

【0016】

そこで、本発明は上記問題に鑑み、半導体素子の両側を一对の金属体で挟んでなり、装置のほぼ全体がモールド樹脂でモールドされてなる半導体装置において、より安価な構成を実現することを目的とする。

【課題を解決するための手段】

20

【0017】

上記目的を達成するため、請求項1に記載の発明では、半導体素子（10）と、半導体素子（10）の一側に設けられ、電極と放熱体とを兼ねる第1の金属体（20）と、半導体素子（10）の他面側に設けられ、電極と放熱体とを兼ねる第2の金属体（30）と、半導体素子（10）、第1の金属体（20）および第2の金属体（30）を包み込むように封止するモールド樹脂（80）とを備える半導体装置において、半導体素子としてゲート酸化膜デバイス（10）が用いられており、ゲート酸化膜デバイス（10）は、2個以上設けられていることを特徴としている。

【0018】

ゲート酸化膜デバイス（10）の素子性能は、通常その素子面積に比例する。本発明によれば、ゲート酸化膜デバイス（10）を2個以上設けることにより、個々のゲート酸化膜デバイス（10）の素子面積を従来よりも小さなものにできるため、コストダウンを実現することができる。

【0019】

そして、素子面積の小さなゲート酸化膜デバイス（10）を2個以上設けることにより、2個以上のゲート酸化膜デバイス（10）を合わせた素子性能を、従来の比較的素子面積の大きなゲート酸化膜デバイスと同程度のものにできるため、素子性能については確保することができる。

【0020】

したがって、本発明によれば、半導体素子（10）の両側を一对の金属体（20、30）で挟んでなり、装置のほぼ全体がモールド樹脂（80）でモールドされてなる半導体装置において、より安価な構成を適切に実現することができる。

【0021】

ここで、請求項2に記載の発明のように、請求項1に記載の半導体装置において、ゲート酸化膜デバイスとしては、IGBT素子（10）を採用することができる。

【0022】

また、請求項3に記載の発明のように、請求項2に記載の半導体装置において、IGBT素子（10）は2個であり、これら2個のIGBT素子（10）は隣り合って配置されているものにできる。

【0023】

50

さらに、請求項4に記載の発明では、請求項3に記載の半導体装置において、2個のIGBT素子(10)は、それぞれ素子の温度検出を行うための温度センス用パッド(10d, 10e)を有しており、2個のIGBT素子(10)のうちのどちらか一方のみの温度センス用パッド(10d, 10e)が、外部と電気的に接続される端子(60)に電気的に接続されていることを特徴としている。

【0024】

それによれば、半導体装置において、外部と電気的に接続するための端子(60)の数を減らすことができ、構成の簡略化が図れる。

【0025】

また、2個のIGBT素子(10)は隣り合って配置され、互いに近い位置にあるので¹⁰、両IGBT素子(10)の温度差は比較的小さいものにできる。そのため、2個のIGBT素子(10)のうちのどちらか一方のみの温度センス用パッド(10d, 10e)を使用する構成としても、両IGBT素子(10)の温度検出は、さほど問題ないものにできる。

【0026】

また、請求項5に記載の発明のように、請求項3に記載の半導体装置において、2個のIGBT素子(10)は、それぞれ素子の温度検出を行うための温度センス用パッド(10d, 10e)および素子の電流検出を行うための電流センス用パッド(10b)を有しており、2個のIGBT素子(10)のうちのどちらか一方のみの温度センス用パッド(10d, 10e)、および2個のIGBT素子(10)のうちのどちらか一方のみの電流センス用パッド(10b)が、それぞれ、外部と電気的に接続される端子(60)に電気的に接続されているようにしてもよい。

【0027】

それによれば、上記請求項4に記載の発明と同様に、半導体装置において、外部と接続するための端子(60)の数を減らすことができ、構成の簡略化が図れる。

【0028】

さらに、請求項6に記載の発明では、請求項5に記載の半導体装置において、端子(60)に電気的に接続される温度センス用パッド(10d, 10e)は、2個のIGBT素子(10)の一方のものであり、端子(60)に電気的に接続される電流センス用パッド(10b)は、2個のIGBT素子(10)の他方のものであることを特徴としている。³⁰

【0029】

このように、端子(60)に電気的に接続される温度センス用パッド(10d, 10e)および電流センス用パッド(10b)は、2個のIGBT素子(10)のうちの互いに異なるIGBT素子(10)のものにすることができる。

【0030】

また、請求項7に記載の発明では、請求項1～請求項6に記載の半導体装置において、2個のIGBT素子(10)のそれぞれに備えられているゲートセンス用パッド(10c)およびケルビンセンス用パッド(10a)は、それぞれ外部と電気的に接続するための端子(60)に、独立に電気的に接続されていることを特徴としている。

【0031】

それによれば、半導体装置における2個のIGBT素子(10)の基本的な作動を、それぞれ適切に確保できることから、それぞれの素子の誤作動を極力防止することができ、好ましい。

【0032】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示す一例である。

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、説明の簡略化を図るべく、図中、同⁵⁰

一符号を付してある。

【0034】

(第1実施形態)

図1は本発明の第1実施形態に係る半導体装置S1の概略構成を示す図であって、モールド樹脂80内の各部の平面的な配置を示す図、図2は図1の概略断面構成を示す図である。また、図3は、図1中の半導体素子としてのゲート酸化膜デバイス10をその主表面側から見たときの構成を模式的に示す平面図である。

【0035】

図1、図2に示されるように、本実施形態における半導体装置S1は、第1の半導体素子としての2個のゲート酸化膜デバイス10、第2の半導体素子としてのFWD (フリー ホイールダイオード) 18と、第1の金属体としての下側ヒートシンク20と、第2の金属体としての上側ヒートシンク30と、ヒートシンクブロック40と、これらの間に介在する導電性接合部材51、52、53と、さらに、モールド樹脂80とを備えて構成されている。

【0036】

この構成の場合、図2に示されるように、両半導体素子10、18の下面と下側ヒートシンク20の上面との間は、第1の導電性接合部材51によって接合されている。

【0037】

また、両半導体素子10、18の上面とヒートシンクブロック40の下面との間は、第2の導電性接合部材52によって接合されている。

【0038】

さらに、ヒートシンクブロック40の上面と上側ヒートシンク30の下面との間は、第3の導電性接合部材53によって接合されている。

【0039】

ここで、これら第1、第2、第3の導電性接合部材51、52、53としては、はんだや導電性接着剤等を採用することができる。具体的に本例の半導体装置においては、これら第1、第2、第3の導電性接合部材51、52、53として、Sn (すず) 系はんだを用いている。

【0040】

これにより、上記した構成においては、第1および第2の半導体素子10、18の上面では、第2の導電性接合部材52、ヒートシンクブロック40、第3の導電性接合部材53および上側ヒートシンク30を介して放熱が行われ、第1および第2の半導体素子10、18の下面では、第1の導電性接合部材51から下側ヒートシンク20を介して放熱が行われる構成となっている。

【0041】

本実施形態では、半導体素子としてゲート酸化膜デバイス10が用いられており、このゲート酸化膜デバイス10は、2個以上設けられている。このゲート酸化膜デバイス10としては、IGBT (絶縁ゲート型バイポーラトランジスタ) やMOSFET素子などを採用することができる。

【0042】

本例では、ゲート酸化膜デバイス10は、IGBT素子10であり、図1に示されるように、2個のIGBT素子が隣り合って配置されている。具体的には、各IGBT素子10の形状は、たとえば矩形状の薄板状とすることができる。そして、図2において、IGBT素子10の上面側が素子形成面である主表面、下面側が裏面である。

【0043】

また、本実施形態のIGBT素子10の主表面には、図3に示されるように、複数個のセルブロックTrが配列された形となっている。図示例では7個のセルブロックTrが配列している。個々のセルブロックTrは、たとえば複数個のトランジスタ等の素子の集合体として構成されている。

【0044】

(7)

JP 2005-286187 A 2005.10.13

そして、図示しないが、各セルブロックTrの上には、主表面側における主電極が形成されている。また、図示しないが、IGBT素子10の裏面側にも主電極が形成されている。ここで、IGBT素子10の主電極としては、たとえば主表面側の主電極がエミッタ電極、裏面側の主電極がコレクタ電極とすることができる。

【0045】

また、図3に示されるように、各IGBT素子10の裏面には、温度センスダイオード11が設けられている。

【0046】

この温度センスダイオード11は、上述したように、一般的に設けられているもので、半導体製造技術を用いて形成されたポリシリコン等からなるダイオード素子であり、温度によって電圧が変化するので、各IGBT素子10の温度を検出する目的で用いられている。

【0047】

また、図3に示されるように、各IGBT素子10の裏面の外周部には、複数種類の信号用パッド10a、10b、10c、10d、10eが設けられている。これら各信号用パッド10a～10eはアルミニウムなどをスパッタリングなどによって成膜してなるものである。

【0048】

ここにおいて、図3中の5個の信号用パッド10a～10eのうち、右側から1番目と2番目の2個10d、10eが温度センスダイオード11用の端子すなわち温度センス用パッド10d、10eである。これら温度センス用パッド10d、10eは、アノード用パッド10dとカソード用パッド10eである。

【0049】

また、図3中の5個の信号用パッド10a～10eのうち、右側から3番目のパッド10cは、IGBT素子10の信号電極用パッドであるゲートセンス用パッド10cであり、右側から4番目のパッド10bは、IGBT素子10に流れる電流を検出するための電流センス用パッド10bであり、一番左側のパッド10aは、IGBT素子10の基準電位用パッドであるケルビンセンス用パッド10aである。

【0050】

そして、本実施形態においては、図2に示されるように、IGBT素子10の裏面側の主電極は、第1の金属体である下側ヒートシンク20に対して、第1の導電性接合部材51を介して電気的に接続され、IGBT素子10の裏面側の主電極およびFWD18の上面は、第2の導電性接合部材52を介してヒートシンクブロック40に対して、電気的に接続されている。

【0051】

ここで、ヒートシンクブロック40は、各IGBT素子10およびFWD18のそれぞれについて設けられている。

【0052】

さらに、図2に示されるように、ヒートシンクブロック40における半導体素子10、18側の面とは反対側の面にて、第3の導電性接合部材53を介して第2の金属体である上側ヒートシンク30とヒートシンクブロック40とが電気的に接続されている。

【0053】

ここで、下側ヒートシンク20、上側ヒートシンク30およびヒートシンクブロック40は、たとえば、銅合金もしくはアルミニウム等の熱伝導性および電気伝導性の良い金属で構成されている。また、ヒートシンクブロック40としては、一般的な鉄合金を用いてよい。

【0054】

また、図1に示されるように、下側ヒートシンク20は、たとえば、全体としてほぼ長方形状の板材とすることができます。また、この下側ヒートシンク20には、端子部21が突設されているが、この端子部21は、IGBT素子10の裏面側の主電極であるたと

えばコレクタ電極の取り出し電極となっている。

【0055】

また、ヒートシンクブロック40は、たとえば、IGBT素子10よりも1回り小さい程度の大きさの矩形状の板材とすることができます。

【0056】

このヒートシンクブロック40は、半導体素子10、18と上側ヒートシンク30との間に介在し、それぞれの半導体素子10、18と上側ヒートシンク30とを熱的および電気的に接続するとともに、各IGBT素子10から後述するボンディングワイヤ70を引き出す際の当該ワイヤの高さを確保する等のために、IGBT素子10と上側ヒートシンク30との間の高さを確保する役割を有している。

10

【0057】

さらに、図1に示されるように、上側ヒートシンク30も、たとえば、全体としてほぼ長方形状の板材で構成することができる。また、この上側ヒートシンク30にも、端子部31が突設されているが、この端子部31は、IGBT素子10の主表面側の主電極であるたとえばエミッタ電極の取り出し電極となっている。

【0058】

ここで、下側ヒートシンク20の端子部21および上側ヒートシンク30の端子部31は、それぞれ上述したように、IGBT素子10の主電極の取り出し電極であり、これら端子部21、31は、半導体装置S1において外部配線部材等との接続を行うために設けられているものである。

20

【0059】

このように、下側ヒートシンク20および上側ヒートシンク30は、それぞれ、電極と放熱体とを兼ねる第1の金属体および第2の金属体として構成されており、半導体装置S1において半導体素子10、18からの放熱を行う機能を有するとともに半導体素子10の電極としての機能も有する。

【0060】

また、IGBT素子10の周囲には、リードフレーム等からなる信号端子60が設けられている。この信号端子60は、IGBT素子10の主表面に設けられている信号電極（たとえばゲート電極）や上記した温度センスダイオード11などと導通する端子や基準端子となるものである。

30

【0061】

たとえば、図1、図2に示されるように、各信号端子60は、各IGBT素子10の外周部に設けられた各パッド10a～10eとワイヤ70によって結線され、電気的に接続されている。このワイヤ70はワイヤボンディング等により形成され、金やアルミニウム等からなるものである。

【0062】

各IGBT素子10において、図1中の5本の信号端子60のうち、下側から1番目と2番目の2本が温度センスダイオード11用の端子すなわち温度センス用端子A、Kである。

40

【0063】

これら温度センス用端子A、Kは、アノード用端子Aとカソード用端子Kであり、それぞれ、各IGBT素子10に設けられた温度センス用パッドとしてのアノード用パッド10dとカソード用パッド10e（図3参照）に接続されている。

【0064】

また、図1中の5本の信号端子60のうち、下側から3番目の端子はゲートセンス用端子Gであり、このゲートセンス用端子GはIGBT素子10の信号電極用パッドであるゲートセンス用パッド10cと接続されている。

【0065】

また、図1中の5本の信号端子60のうち、下側から4番目の端子は電流センス用端子SEであり、この電流センス用端子SEは、IGBT素子10の電流センス用パッド10e

50

bと接続されている。また、一番上側の端子はケルビンセンス用端子KEであり、このケルビンセンス用端子KEは、IGBT素子10ケルビンセンス用パッド10aと接続されている。

【0066】

さらに、本実施形態の半導体装置S1においては、装置S1のほぼ全体がモールド樹脂80によりモールドされ封止されている。具体的には、図1、図2に示されるように、一对のヒートシンク20、30の隙間、並びに、半導体素子10、18およびヒートシンクブロック40の周囲部分には、モールド樹脂80が充填封止されている。

【0067】

このモールド樹脂80は、たとえばエポキシ樹脂等の通常のモールド材料を採用することができる。また、ヒートシンク20、30等を樹脂80でモールドするにあたっては、上下型からなる成形型(図示しない)を使用し、トランスマーモールド法によって容易に行うことができる。

【0068】

このように、本実施形態の半導体装置S1は、基本的には、線型パワー素子であるゲート酸化膜デバイス10の表裏の主面に金属体20、30、40を導電性接着剤51～53を介して電気的・熱的に接続してなる樹脂モールドタイプの半導体装置として構成されている。

【0069】

次に、上記した構成の半導体装置S1の製造方法について、図1、図2を参照して、簡単に説明する。まず、下側ヒートシンク20の上面に、両半導体素子10、18とヒートシンクブロック40をはんだ付けする工程を実行する。

【0070】

この場合、下側ヒートシンク20の上面に、たとえばSn系はんだからなるはんだ箔を介して両半導体素子10、18を積層するとともに、これら両半導体素子10、18の上面に、同じはんだ箔を介して、それぞれヒートシンクブロック40を積層する。

【0071】

この後、加熱装置(リフロー装置)によって、はんだの融点以上に昇温することにより、上記はんだ箔を溶融させてから、硬化させる。

【0072】

続いて、各IGBT素子10と信号端子60とをワイヤボンディングする工程を実行する。これにより、ワイヤ70によって各IGBT素子10と信号端子60とが結線され電気的に接続される。

【0073】

次いで、各ヒートシンクブロック40の上に上側ヒートシンク30をはんだ付けする工程を実行する。この場合、ヒートシンクブロック40の上にはんだ箔を介して上側ヒートシンク30を載せる。そして、加熱装置によって上記はんだ箔を溶融させてから、硬化させる。

【0074】

こうして、溶融した各々のはんだ箔が硬化すれば、硬化したはんだが、第1、第2、第3の導電性接合部材51、52、53として構成されることになる。

【0075】

そして、これら導電性接合部材51～53を介して、下側ヒートシンク20、両半導体素子10、18、ヒートシンクブロック40、上側ヒートシンク30間の接合および電気的・熱的接続を実現することができる。

【0076】

なお、第1、第2および第3の導電性接合部材51、52、53として導電性接着剤を用いた場合にも、上記工程において、はんだを導電性接着剤に置き換える、導電性接着剤の塗布や硬化を行うことにより、下側ヒートシンク20、両半導体素子10、18、ヒートシンクブロック40、上側ヒートシンク30間の接合および電気的・熱的接続を実現する。

ことができる。

【0077】

かかる後、図示しない成形型を使用して、ヒートシンク20、30の隙間および外周部等にモールド樹脂80を充填する工程を実行する。これにより、図1、図2に示されるように、ヒートシンク20、30の隙間および外周部等に、モールド樹脂80が充填封止される。

【0078】

そして、モールド樹脂80が硬化した後、成形型内から半導体装置S1を取り出せば、半導体装置S1が完成する。

【0079】

10

なお、半導体装置S1においては、上記構成の場合、下側ヒートシンク20の下面および上側ヒートシンク30の上面が、それぞれ露出するように樹脂モールドされている。これにより、ヒートシンク20、30の放熱性が高められている。

【0080】

また、本実施形態では、図1に示されるように、ゲート酸化膜デバイスがIGBT素子10として2個設けられている例を示しているが、3個以上のIGBT素子10が設けられてもよい。

【0081】

その場合、3個目以降のIGBT素子についても、図1に示されるものと同様に、信号端子を設け、ワイヤで接続する形とすればよい。また、IGBT素子以外にMOSFET素子の場合も同様である。

【0082】

ところで、本実施形態によれば、半導体素子10と、半導体素子10の一面側に設けられ電極と放熱体とを兼ねる第1の金属体としての下側ヒートシンク20と、半導体素子10の他面側に設けられ電極と放熱体とを兼ねる第2の金属体としての上側ヒートシンク30と、半導体素子10および両ヒートシンク20、30を包み込むように封止するモールド樹脂80とを備える半導体装置において、半導体素子としてゲート酸化膜デバイス10が用いられており、ゲート酸化膜デバイス10は2個以上設けられていることを特徴とする半導体装置S1が提供される。

【0083】

30

上述したように、IGBT素子やMOSFET素子などのようなゲート酸化膜デバイス10の素子性能は、通常その素子面積に比例する。

【0084】

本実施形態によれば、ゲート酸化膜デバイス10を2個以上設けることにより、個々のゲート酸化膜デバイス10の素子面積を従来よりも小さなものにできるため、コストダウンを実現することができる。

【0085】

そして、素子面積の小さなゲート酸化膜デバイス10を2個以上設けることにより、2個以上のゲート酸化膜デバイス10を合わせた素子性能を、従来の比較的素子面積の大きなゲート酸化膜デバイスと同程度のものにできるため、素子性能については確保することができる。

40

【0086】

したがって、本実施形態によれば、半導体素子10の両側を一対の金属体20、30で挟んでなり、装置のほぼ全体がモールド樹脂80でモールドされてなる半導体装置S1において、より安価な構成を適切に実現することができる。

【0087】

(第2実施形態)

図4は本発明の第2実施形態に係る半導体装置S2の概略構成を示す図であって、モールド樹脂80内の各部の平面的な配置を示す図である。上記実施形態との相違点を中心に述べる。

50

(11)

JP 2005-286187 A 2005.10.13

【0088】

上記図1に示される半導体装置S1では、2個以上のゲート酸化膜デバイスとしては、2個のIGBT素子10を採用し、2個のIGBT素子(10)は隣り合って配置されているものにした。

【0089】

さらに、本実施形態では、図4に示されるように、温度センス用パッド10d、10eを有する2個のIGBT素子10を備えた場合において、2個のIGBT素子10のうちの一方のみの温度センス用パッド10d、10eが、外部と電気的に接続される信号端子60に電気的に接続されていることを特徴としている。

【0090】

それによれば、半導体装置S2において、外部と電気的に接続するための信号端子60の数を減らすことができ、構成の簡略化が図れる。

10

【0091】

具体的には、図4中の下側のIGBT素子10について温度センス用パッド10d、10eを信号端子60における温度センス用端子A、Kと接続しており、上側のIGBT素子10については、温度センス用端子A、Kを省略した構成としている。そして、この上側のIGBT素子10について温度センス用端子A、Kを省略した分、信号端子60の本数を減らすことができている。

【0092】

ここで、2個のIGBT素子10は隣り合って配置され、互いに近い位置にあるので、両IGBT素子10の温度差は比較的小さいものにできる。

20

【0093】

そのため、本実施形態のように、2個のIGBT素子10のうちのどちらか一方のみの温度センス用パッド10d、10eを使用する構成としても、両IGBT素子10の温度検出は、さほど問題ないものにできる。

【0094】

(第3実施形態)

図5は本発明の第3実施形態に係る半導体装置S3の概略構成を示す図であって、モールド樹脂80内の各部の平面的な配置を示す図である。上記実施形態との相違点を中心に述べる。

30

【0095】

本実施形態では、図5に示されるように、温度センス用パッド10d、10eおよび電流センス用パッド10bを有する2個のIGBT素子10を備えた場合において、2個のIGBT素子10のうちのどちらか一方のみの温度センス用パッド10d、10e、および2個のIGBT素子10のうちのどちらか一方のみの電流センス用パッド10bが、それぞれ、外部と電気的に接続される信号端子60に電気的に接続されている。

【0096】

それによれば、上記第2実施形態と同様に、半導体装置S3において、外部と接続するための信号端子60の数を減らすことができ、構成の簡略化が図れる。

【0097】

特に、図5に示される例では、信号端子60に電気的に接続される温度センス用パッド10d、10eは、2個のIGBT素子10のうちの下側のIGBT素子10のものであり、信号端子60に電気的に接続される電流センス用パッド10bは、2個のIGBT素子10のうちの上側のIGBT素子10のものとしている。

40

【0098】

このように、信号端子60に電気的に接続される温度センス用パッド10d、10eおよび電流センス用パッド10bは、2個のIGBT素子10のうちの互いに異なるIGBT素子10のものにすることができる。

【0099】

つまり、図5に示される例では、図5中の下側のIGBT素子10について電流センス

50

用パッドS Eを省略し、上側の I G B T 素子 1 0 については、温度センス用端子 A 、 K を省略した構成としている。そのため、上記図 4 に示されるものに比べて、さらなる信号端子 6 0 の少数化が図られている。

【0 1 0 0】

ところで、上記各実施形態における半導体装置 S 1 、 S 2 、 S 3 においては、 2 個の I G B T 素子 1 0 のそれぞれに備えられているゲートセンス用パッド 1 0 c およびケルビンセンス用パッド 1 0 a は、それぞれ信号端子 6 0 (ゲートセンス用端子 G 、ケルビンセンス用端子 K E) に、独立に電気的に接続されている。

【0 1 0 1】

それによれば、半導体装置 S 1 ～ S 3 における 2 個の I G B T 素子 1 0 の基本的な作動 10 を、それぞれ適切に確保できることから、それぞれの誤作動を極力防止することができ、好ましい。

【0 1 0 2】

(他の実施形態)

なお、本実施形態の図 5 に示される半導体装置 S 3 において、さらに、 2 個の I G B T 素子 1 0 のうちの一方のケルビンセンス用パッド 1 0 a のみ信号端子 6 0 (ケルビンセンス用端子 K E) に電気的に接続し、他方のケルビンセンス用パッド 1 0 a は信号端子 6 0 に接続しないようにしてもよい。

【0 1 0 3】

また、上述したように、ヒートシンクブロック 4 0 は、半導体素子 1 0 、 1 8 と上側ヒートシンク 3 0 との間に介在し、第 1 の半導体素子 1 0 と上側ヒートシンク 3 0 との間の高さを確保する役割を有するものであるが、可能であるならば、上記各実施形態において、ヒートシンクブロック 4 0 は存在しないものであってもよい。

【0 1 0 4】

要するに、本発明は、半導体素子と、半導体素子の一面側に設けられ電極と放熱体とを兼ねる第 1 の金属体と、半導体素子の他面側に設けられ電極と放熱体とを兼ねる第 2 の金属体と、半導体素子、第 1 の金属体および第 2 の金属体を包み込むように封止するモールド樹脂とを備える半導体装置において、半導体素子としてゲート酸化膜デバイスを用い、ゲート酸化膜デバイスを 2 個以上設けたことを要部とするものであり、その他の部分については適宜設計変更が可能である。

30

【図面の簡単な説明】

【0 1 0 5】

【図 1】本発明の第 1 実施形態に係る半導体装置におけるモールド樹脂内の各部の平面的な配置構成を示す図である。

【図 2】図 1 に示される半導体装置の概略断面構成を示す図である。

【図 3】図 1 中の半導体素子としてのゲート酸化膜デバイスをその主表面側から見たときの構成を模式的に示す平面図である。

【図 4】本発明の第 2 実施形態に係る半導体装置におけるモールド樹脂内の各部の平面的な配置構成を示す図である。

【図 5】本発明の第 3 実施形態に係る半導体装置におけるモールド樹脂内の各部の平面的な配置構成を示す図である。

【図 6】従来の半導体装置の一般的な概略構成を示す図であって (a) は各部の平面的な配置を示す図、 (b) は、 (a) に示される半導体装置の概略断面構成を示す図である。

【符号の説明】

【0 1 0 6】

1 0 …半導体素子であるゲート酸化膜デバイスとしての I G B T 素子、

1 0 a …ケルビンセンス用パッド、 1 0 b …電流センス用パッド、

1 0 c …ゲートセンス用パッド、 1 0 d 、 1 0 e …温度センス用パッド、

2 0 …第 1 の金属体としての下側ヒートシンク、

3 0 …第 2 の金属体としての上側ヒートシンク、 6 0 …信号端子、

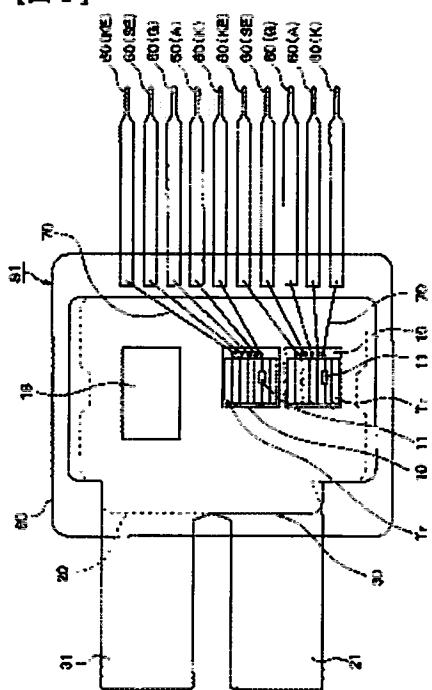
50

(13)

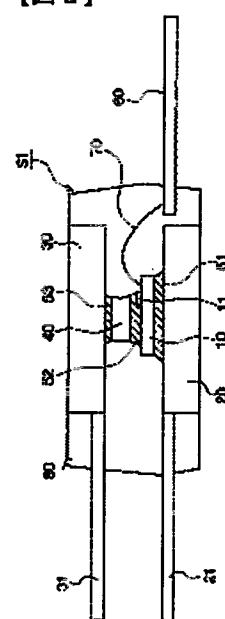
JP 2005-286187 A 2005.10.13

80…モールド樹脂。

【図1】



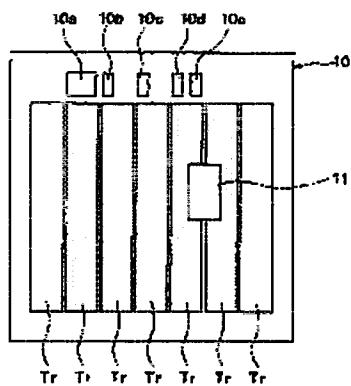
【図2】



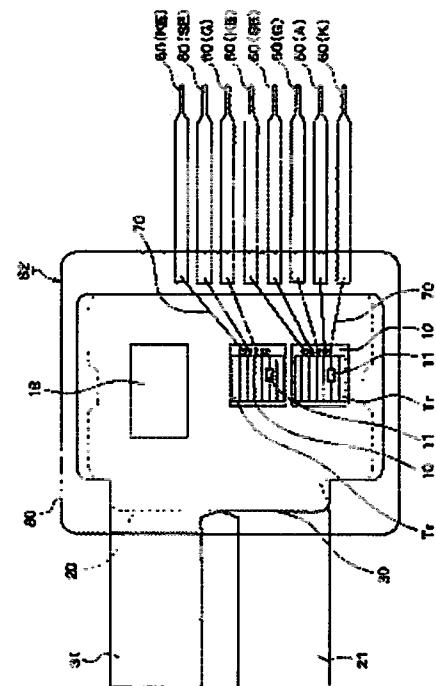
(14)

JP 2005-286187 A 2005.10.13

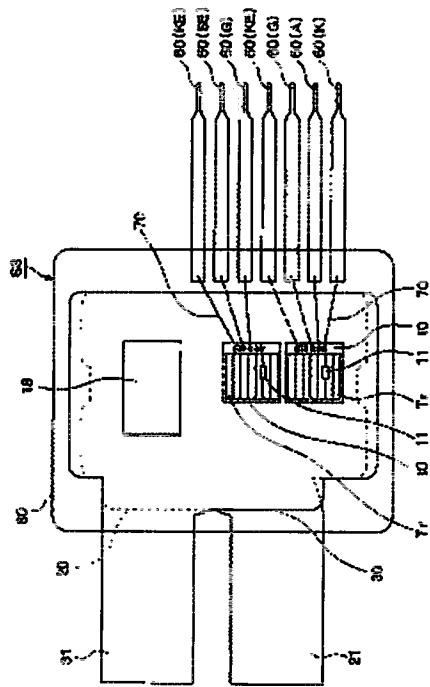
【図3】



【図4】



【図5】



【図6】

